

JAPAN PATENT OFFICE

PATENT LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.  
H.4-280458

Laid-Open  
H.4 (1992) Oct. 6

---

Application No.: H.3-42158

Filed: H.3 (1991) Mar. 8

Inventors: Jun'ichi Arita  
Ichiro Anjoh  
Motoji Murakami  
5-20-1 Josuihon-cho, Kodaira-shi,  
Tokyo  
Semiconductor Design and Development  
Center  
Hitachi, Ltd.

Applicant: 000005108  
Hitachi, Ltd.  
4-6 Kanda-Surugadai, Chiyoda-ku, Tokyo

Attorney, Agent: Yamato Tsutsui

09/530490

1. TITLE OF THE INVENTION

422 Rec'd PCT/PTQ 28 APR 2000

A Semiconductor Integrated Circuit Device, Its Fabrication Method, and a Mounted Structure Using Said Device

[Summary]

[Objective]

To provide an LSI package that can be mounted on a board with high connection reliability and that is suitable for achieving large number of pins and high mounting density.

[Configuration]

The semiconductor integrated circuit device using this invention has a configuration such that: chip 4 is sealed in package main body 1, which has protrusions 2 made of a rubber-like elastic body on its surface; and ends of lead wires, which are formed on the surface of said package main body 1, are connected to pads 7 on said chip 4 through contact holes 5, which are made on said package main body 1, whereas the other ends of said lead wires 3 are extended to the top of said protrusions 2.

2. WHAT IS CLAIMED

1. A semiconductor integrated circuit device, which is characterized as comprising: a semiconductor chip, on a main surface of which multiple circuit elements are formed; protrusions made of a rubber-like elastic body, which are formed on a main surface of said semiconductor chip; and lead wires, which have one end connected to a pad on said semiconductor chip, and the other end of which extends to the top of said protrusion.

2. A semiconductor integrated circuit device, as defined in claim (1), which is characterized such that said rubber-like elastic body has an elastic modulus of 100 MPa or lower.

3. A semiconductor integrated circuit device, as defined in claim (1), which is characterized such that said protrusions are formed on circuit elements.

4. A semiconductor integrated circuit device, as defined in claim (1), which is characterized such that said pads are formed on circuit elements.

5. A semiconductor integrated circuit device, which is characterized as having a configuration such that: a chip is sealed in a package main body, which is made of a rubber-like elastic body; and ends of lead wires, which are formed on a surface of said package main body, are connected to pads on said chip through contact holes, which are made on said package main body, whereas the other ends of said lead wires are extended to conductive protrusions, which are made of a rubber-like elastic body and formed on a surface of said package main body.

6. A fabrication method of a semiconductor integrated circuit device, as defined in claim 1, 2, 3, or 4, which method is characterized as comprising: a process of sealing a semiconductor chip in a package main body, which is made of a rubber-like elastic body having a protrusion on its surface; a process of forming a contact hole to reach a pad on said semiconductor chip by partially boring through said package main body; a process of depositing a conductive film for a lead wire on a surface of said package main body; and a process of forming a lead wire by making a prescribed number of cuts in said package main body and a conductive film on its surface so that one end of each lead wire is connected to a pad on said

semiconductor chip through said contact hole, whereas the other end of each lead wire is extended to the top of said protrusion.

7. A fabrication method, as defined in claim (6), of a semiconductor integrated circuit device, which method is characterized by a process of slanting a sidewall of said protrusion.

8. A structure mounted with a semiconductor integrated circuit device that is defined in claim (1), (2), (3), or (4), which method is characterized as using solder to connect said lead wire on the top of a protrusion to an electrode on a board.

9. A structure mounted with a semiconductor integrated circuit device that is defined as claim (5), which method is characterized as using conductive adhesive to connect said protrusion made of a rubber-like elastic body to an electrode on a board.

### 3. DETAILED DESCRIPTION OF THE INVENTION

[0001]

[Application Field of the Invention]

This invention relates to a technology for semiconductor integrated circuit devices, particularly an effective technology suitable for packages to seal a semiconductor chip and for a package mounting method.

[0002]

[Prior Art]

Recently, memory LSIs such as RAMs and ROMs are being designed to have larger memory capacities, which is accompanied by a remarkable increase in semiconductor chip

size. Therefore, as a means to increase the mounting density of LSIs, thinner and smaller surface-mount type packages such as SOPs (small outline packages) and SOJs (small outline J-bend packages) are used for sealing the chips.

[0003]

Furthermore, logic LSIs such as gate-arrays and microcomputers are being designed to have more functions and higher speeds, which is accompanied by a remarkable increase in the number of external pins (input/output pins and power pins). Therefore, as a means to increase the mounting density of LSIs, thinner QFPs (quad flat packages) and similar packages are being used.

[0004]

In addition to the above-mentioned QFP, logic LSIs also use the flip-chip method, in which a chip is mounted on a board with intervening CCB bumps that are connected to the top wiring layer of the chip, as a mounting method. The flip-chip method is reported, for example, in pages 239 to 250 of the *IBM Journal of Research and Development*, vol.13, no. 3.

[0005]

LSIs having an extraordinarily large number of pins use the TAB (tape automated bonding) method as a mounting method. In the TAB method, Au bumps formed on chip bonding pads with intervening barrier metal are electrically connected to the ends of Cu leads formed on insulating film such as polyimide resin, and the other ends of the Cu leads are electrically connected to a mount board. The TAB method is reported, for example, in laid-open patent S62-205648.

[0006]

[Problems to be Solved by the Invention]

However, the above-mentioned surface-mount type packages such as SOPs, SOJs, and QFPs use outer leads, which protrude outward from the package main body, to create electrical connections between a chip and a mount board. This reduces the mounting density due to the area required for the outer leads. Moreover, inner leads must be long enough to prevent the leads from falling off the package, which also reduces the mounting density.

[0007]

Furthermore, since surface-mount type packages use the wire bonding method, in which a chip and leads are connected through wires, packages cannot be thinner, smaller, or larger in pin count without limits. Moreover, thinning the package may cause cracks at reflow soldering, thus resulting in serious reliability deterioration due to the heat generated at mounting.

[0008]

The above-mentioned flip-chip method also has a problem. Although the flip-chip method can accommodate a larger number of pins and a higher mounting density more easily than surface-mount type packages, the flip-chip method has poorer connection reliability, that is, CCB bump breaks and chip cracks, because the structure of the flip-chip method easily allows the CCB bumps to be adversely affected by the stress, which is caused by the difference in the thermal expansion coefficient between the chip and the board.

[0009]

The above-mentioned TAB method also has a problem similar to the surface-mount type packages such as SOPs, SOJs, and QFPs. That is, the TAB method also reduces the mounting density due to the area required for the outer leads.

[0010]

This invention presents a solution to the above problems, and one of the objectives of this invention is to provide a technology that can increase the chip mounting density.

[0011]

Another objective of this invention is to provide a technology that can increase the number of pins of a chip.

[0012]

Another objective of this invention is to provide a technology that can improve connection reliability between a chip and a board.

[0013]

Said objectives and the other objectives and novel features of this invention will be clarified by the following specification description together with accompanying drawings.

[0014]

[Means for Solving the Problem]

The semiconductor integrated circuit device using this invention has a configuration such that: multiple protrusions made of a rubber-like elastic body are formed on the main surface of the chip, on which multiple circuit elements are fabricated; and ends of the lead wires, which are formed on the chip main surface, are connected to the pads on the chip main surface, whereas the other ends of the leads are extended to the top of the above protrusions.

[0015]

The above semiconductor integrated circuit device also has a configuration such that at least the pads or the protrusions are located on the circuit elements.

[0016]

[Operation]

Since the above-mentioned means uses lead wires formed on the package main body to create electrical connection between the chip and the board, a higher mounting density is realized than that achieved by the conventional surface-mount type packages, which use the leads protruding outward from the package main body to create electrical connection between the chip and the board.

[0017]

Since the above-mentioned means uses a rubber-like elastic body as protrusions so that the protrusions are able to absorb and relax the stress caused by the difference in the thermal expansion coefficient between the chip and the board, connection reliability between the chip and the board can be improved, and cracks in the package main body and the chips caused by the heat generated at soldering can also be prevented.

[0018]

Since the above-mentioned means directly connects lead wires to chip pads through contact holes made on the package main body, the packages can be made thinner and smaller than those obtained by the wire bonding method, which connects the chip to the leads through wires.

[0019]

Since the above-mentioned means allows shortening the wires within the chip because pads are located on the circuit element and are connected to the ends of the lead wires, suitable packages for high-speed LSIs can be provided. A chip can also be made smaller because no area is required for pads outside the chip.

[0020]

Since the above-mentioned means can provide the semiconductor integrated circuit device of dimensions similar to those of the chip because protrusions are located on the circuit element, higher chip mounting density can be achieved.

[0021]

This invention is described below in detail based on an embodiment shown in accompanying drawings. Identical numerical references in the figures describing the embodiment refer to the same items and their descriptions are not repeated.

[0022]

[Embodiments]

Figure 3 shows a perspective view of a semiconductor integrated circuit device using this invention. Figure 4 shows the front view of the long side of the device. Figure 5 shows the front view of the short side of the device.

[0023]

Package main body 1 of this semiconductor integrated circuit device is made of a rubber-like elastic body. At both edges of the bottom surface of the device, i.e., along the short sides of the bottom surface, a prescribed number of protrusions 2 are located at a regular interval. Protrusions 2 are made of the same rubber-like elastic body as package main body 1, thus forming protrusions 2 and package main body 1 as one unit.

[0024]

To the top of each protrusion 2, one end of each lead wire 3 is extended, which serves as an external pin (input/output pin and power pin) for the semiconductor integrated circuit device. The other end of each lead wire 3 is extended toward the center of the bottom surface

of package main body 1 via the sidewall of protrusion 2. Here, lead wire 3 is a composite metallic film composed of a Cu-vapor-deposited film at the bottom, a Cu-plated film in the middle, and an Au-plated film at the top for example.

[0025]

Within package main body 1, semiconductor chip 4 is sealed (not shown in figures 3 to 5). Specifically, chip 4, made of mono-crystalline silicon, on which a memory LSI such as a DRAM and an SRAM is formed, is sealed while the main surface (on which circuit elements are formed) facing the surface of package main body 1, on which protrusions 2 are formed.

[0026]

Figure 1 shows an enlarged cutaway view of an edge at the bottom surface of package main body 1. Figure 2 shows the cross-sectional view of the same section.

[0027]

Protrusions 2 formed on package main body 1 are trapezoidal pyramids having a rectangular top surface for example, and a sidewall near the center of package main body 1 is slanted. The short side of the top surface is approximately 200  $\mu\text{m}$  for example, and the gap between adjacent protrusions 2 is approximately 300  $\mu\text{m}$  for example, which means that protrusions 2 are arranged along the short sides of package main body 1 at approximately 500- $\mu\text{m}$  pitch.

[0028]

Contact hole 5 is made on package main body 1 in the vicinity of each protrusion 2, and said lead wire 3 is embedded in contact hole 5. At the bottom of said contact hole 5, pad 7 is exposed by boring through protective coat 6 (passivation film) for chip 4, thus connecting pad 7 to lead wire 3 electrically. Pad 7 is made of Al wire 8,

which is connected to circuit elements of chip 4. For protection purposes, the main surface of chip 4 is coated with the same rubber-like elastic body as that for protrusion 2.

[0029]

As described above, the semiconductor integrated circuit device using this invention has a package configuration such that: one end of each lead wire 3 (external pin) is extended to the top of each protrusion 2 formed on the bottom surface of package main body 1 made of a rubber-like elastic body, whereas the other end of each lead wire 3 is connected to pad 7 on chip 4 through contact hole 5 made on package main body 1.

[0030]

Figure 6 shows the cross-sectional view of the vicinity of pad 7. On the main surface of chip 4, which is made of p-type mono-crystalline silicon for example, various circuit elements such as resistor R, n-channel type MISFETQ<sub>1</sub>, and p-channel type MISFETQ<sub>2</sub> are formed. These elements make up the input circuit to a memory LSI for example.

[0031]

Resistor R has n-type semiconductor area 9a for example. N-channel type MISFETQ<sub>1</sub> has a pair of n-type semiconductor areas 9b and gate electrode 10. Here, a pair of n-type semiconductor areas 9b serve as a source and a drain, and gate electrode 10 is composed of poly-crystalline silicon or other appropriate material. P-channel type MISFETQ<sub>2</sub> has a pair of p-type semiconductor areas 11 and gate electrode 10. Here, a pair of p-type semiconductor areas 11 serve as a source and a drain. Resistor R and a pair of n-type semiconductor areas 9b of n-channel type MISFETQ<sub>1</sub> are formed on the main surface of p-type silicon, whereas a pair of p-type semiconductor

areas 11 of p-channel type MISFETQ<sub>2</sub> is formed on the main surface of n-type well 12.

[0032]

Resistor R is connected to a pair of Al wires 8 through contact hole 14, which is bored through insulating film 13. One of Al wires 8 is connected to lead wire 3 as an input signal through pad 7 and contact hole 5, whereas the other Al wire is connected to gate electrodes 10 for n-channel type MISFETQ<sub>1</sub> and p-channel type MISFETQ<sub>2</sub>. In other words, lead wire 3 is connected to an input circuit to a memory LSI through contact hole 5, pad 7, Al wires 8, and resistor R.

[0033]

A fabrication method for a semiconductor integrated circuit device using this invention is described below referring to figures 7 to 10.

[0034]

As shown in figure 7, chip 4 is first sealed in package main body 1 made of a rubber-like elastic body, by using the injection forming method for example. The rubber-like elastic body should be a soft composite such as silicone rubber or an equivalent material that has an elastic modulus of 100 MPa or lower. Package main body 1 is thicker at both of its edges than at its center, and the thicker portions are approximately 1 mm for example. The thicker portions are slanted toward the center.

[0035]

Subsequently, as shown in figure 8, package main body 1 is partially bored through to form contact holes 5 so that contact holes 5 reach pads 7 on chip 4. Next, as shown in figure 9, metallic film 15 as lead wires is deposited on the surface of package main body 1, then embedded in contact holes 5 to electrically connect metallic film 15 to pads 7 on chip 4. In this case,

metallic film 15 must be deposited on the area extending from both edges to the point such that at least contact holes 5 are covered. Here, since the thicker portions of package main body 1 are slanted toward the center, covering by metallic film 15 is prevented from degradation at the step between the thicker portions and the center.

[0036]

Metallic film 15 is a composite metallic film composed of an approximately 1- $\mu\text{m}$  thick Cu-vapor-deposited film, an approximately 10- $\mu\text{m}$  thick Cu-plated film, and an approximately 1- to 2- $\mu\text{m}$  thick Au-plated film, which are deposited in this order, for example. The Cu-vapor-deposited film serves as an electrode for electroplating and depositing the Cu-plated film; the Cu-plated film improves the wetting of the solder used for soldering package main body 1 to the mount board; and the Au-plated film prevents the Cu-plated film from corroding. A solder-plated film can also be used instead of the above Au-plated film.

[0037]

Next, cuts 16 are formed so that they extend from the edge of package main body 1 toward the center by machining such as dicing, thus forming said protrusions 2 and lead wires 3. This completes the semiconductor integrated circuit device using this invention.

[0038]

Figure 11 shows a semiconductor integrated circuit device using this invention when mounted on board 17. Board 17 is, for example, composed of a synthetic resin such as epoxy resin and polyimide resin, on the main surface of which Cu electrodes 18 are formed. As in the case of mounting surface-mount type packages such as SOPs and SOJs, the solder reflow method is used to mount the semiconductor integrated circuit device using this invention on board 17. Specifically, after creamed solder

19 is printed on electrodes 18 on board 17, the top of each protrusion 2 of package main body 1 is aligned with each electrode 18, and then solder 19 is heated by an infrared beam or other equivalent method to a temperature above the melting point.

[0039]

Note that although protrusions 2 are arranged along the short sides of package main body 1 in the semiconductor integrated circuit device using this invention, they may be arranged along the long sides. This depends on the arrangement of pads 7 on chip 4 that is sealed in package main body 1, as in the case for surface-mount type packages.

[0040]

The above-described embodiment provides the following advantages.

[0041]

(1) Since lead wires 3 formed on package main body 1 are used to create electrical connection between chip 4 and board 17, a higher mounting density is realized than that achieved by the conventional surface-mount type packages, which use leads protruding outward from the package main body to create electrical connection between the chip and the board.

[0042]

(2) Since a rubber-like elastic body is used as package main body 1 and protrusions 2 so that protrusions 2 and package main body 1 are able to absorb and relax the stress caused by the difference in the thermal expansion coefficient between the chip and the board, the connection reliability between the chip and the board can be improved.

[0043]

Cracks in package main body 1 and chip 4 caused by the heat generated at soldering can also be prevented.

[0044]

(3) Since lead wires 3 are directly connected to pads 7 on chip 4 through contact holes 5 made on package main body 1, the packages can be made thinner and smaller than those obtained by the wire bonding method, which connects the chip to the leads through wires.

[0045]

Figure 12 shows the cross-sectional view of the edge of package main body 1 of another semiconductor integrated circuit device using this invention.

[0046]

In the previously-described embodiment, package main body 1 and protrusions 2 are made of the same rubber-like elastic body as one unit; however, in this embodiment, separate conductive protrusions 2 made of a rubber-like elastic body are attached to package main body 1 made of a rubber-like elastic body. Conductive protrusions 2 are bonded to package main body 1 using conductive adhesive for example, to electrically connect lead wires 3 on the surface of package main body 1 to protrusions 2. Here, the sidewalls of protrusions 2 near the center of package main body 1 do not have to be slanted.

[0047]

To mount a board with the above semiconductor integrated circuit device, on which conductive protrusions 2 are formed, conductive adhesive is used for example. Specifically, after conductive adhesive is printed on the electrodes on the board or the top of the protrusions, the top of each protrusion 2 is aligned with each electrode, and then the conductive adhesive is heated and cured.

[0048]

Figure 13 shows a perspective view of package main body 1 of another semiconductor integrated circuit device using this invention.

[0049]

In the previously-described embodiments, chip 4, which contains a memory LSI, is sealed in package main body 1; however, in this embodiment, chip 4, which contains a logic LSI, such as a gate array, is sealed in package main body 1. In this case, protrusions 2 can be arranged along four sides of package main body 1 to enable packages having an extraordinarily large number of pins, as in QFPs.

[0050]

Moreover, as shown in figure 14, in this embodiment, protrusions 2 and lead wires 3 can be formed not only at edges of package main body 1 but also at its center, thus enabling packages having a greater number of pins than those for QFPs. In this case, pads 7 on chip 4 are formed directly on the circuit element area; contact holes 5 are formed on pads 7; and the protrusions are further formed on contact holes 5.

[0051]

Moreover, since the wires within chip 4 in this case can be shorter than in the case of when pads are located on the periphery of chip 4, the suitable packages for high-speed LSIs can be provided. Since lead wires 3 are connected to pads 7 on chip 4 through contact holes 5 made on package main body 1 in this invention, the circuit elements directly below the pads are not adversely affected, unlike in the wire bonding method, by impact load or ultrasonic vibrations even if pads 7 are located directly on the circuit elements.

[0052]

Figure 15 shows the front view of the long side of package main body 1 of another semiconductor integrated circuit device using this invention. Figure 16 shows the cross-sectional view of the main section of package main body 1.

[0053]

In this embodiment, multilayer wiring is used, that is, Al wire 21 as the second Al wire is formed on Al wire 8, to allow pads 7 to be located on the circuit elements. Consequently, protrusions 2 are also formed on circuit elements.

[0054]

In this embodiment, chip 4 can be made smaller since areas for pads can be cut because pads 7 are located on the circuit elements. Moreover, mounting density of chips 4 can be improved since the outside dimensions of package main body 1 can be as small as the outside dimensions of chip 4 because protrusions 2 are located on the circuit elements.

[0055]

The invention developed by the inventors was described above in detail based on embodiments. However, this invention is not restricted to these embodiments; various modifications are possible without deviating from the essential points of the invention.

[0056]

For example, the shape of protrusions is not limited to the shape in the above embodiments. Also, a rubber-like elastic body composing the package main body and protrusions is not limited to silicone rubber.

[0057]

[Advantages of the Invention]

Typical advantages obtained from the invention disclosed in this application are briefly described in the following.

[0058]

(1) Since lead wires formed on the package main body are used to create electrical connection between the chip and the board, a higher mounting density is realized than that achieved by the conventional surface-mount type packages, which use the leads protruding outward from the package main body to create electrical connection between the chip and the board.

[0059]

(2) Since a rubber-like elastic body is used as the package main body and the protrusions so that the protrusions and the package main body are able to absorb and relax the stress caused by the difference in the thermal expansion coefficient between the chip and the board, connection reliability between the chip and the board can be improved. Cracks in the package main body and the chips caused by the heat generated at soldering can also be prevented.

[0060]

(3) Since the lead wires are directly connected to the pads on the chip through the contact holes made on the package main body, the packages can be made thinner and smaller than those obtained by the wire bonding method, which connects the chip to the leads through wires.

[0061]

(4) Since the wires within the chip can be short because pads are located directly on the circuit elements and are connected to the ends of the lead wires, suitable packages for high-speed LSIs can be provided.

[0062]

(5) Since the contact holes are formed on the pads, which are formed directly on the circuit elements, and the protrusions are formed near the contact holes, a larger number of pins can be provided for the packages easily.

#### 4. BRIEF DESCRIPTION OF THE DRAWINGS

##### [Figure 1]

An enlarged cutaway view of the main section of a semiconductor integrated circuit device using this invention.

##### [Figure 2]

An enlarged cross-sectional view of the main section of the above semiconductor integrated circuit device.

##### [Figure 3]

A perspective view of the above semiconductor integrated circuit device.

##### [Figure 4]

A front view of the long side of the above semiconductor integrated circuit device.

##### [Figure 5]

A front view of the short side of the above semiconductor integrated circuit device.

##### [Figure 6]

A partial cross-sectional view of the above semiconductor integrated circuit device.

##### [Figure 7]

A perspective view of the above semiconductor integrated circuit device illustrating one process of fabricating the device.

[Figure 8]

A perspective view of the above semiconductor integrated circuit device illustrating another process of fabricating the device.

[Figure 9]

A perspective view of the above semiconductor integrated circuit device illustrating another process of fabricating the device.

[Figure 10]

A perspective view of the above semiconductor integrated circuit device illustrating another process of fabricating the device.

[Figure 11]

A front view of the structure mounted with the above semiconductor integrated circuit device.

[Figure 12]

An enlarged cutaway view of the main section of another semiconductor integrated circuit device using this invention.

[Figure 13]

A perspective view of another semiconductor integrated circuit device using this invention.

[Figure 14]

A front view of the long side of another semiconductor integrated circuit device using this invention.

[Figure 15]

A front view of the long side of another semiconductor integrated circuit device using this invention.

[Figure 16]

An enlarged cross-sectional view of the main section of the above semiconductor integrated circuit device.

[Numbers in figures]

- 1: package main body
- 2: protrusion
- 3: lead wire
- 4: semiconductor chip
- 5: contact hole
- 6: protective coat (passivation film)
- 7: pad
- 8: Al wire
- 9a: n-type semiconductor area
- 9b: p-type semiconductor area
- 10: gate electrode
- 11: p-type semiconductor area
- 12: n-type well
- 13: insulating film
- 14: contact hole
- 15: metallic film
- 16: cut
- 17: board
- 18: electrode
- 19: solder
- 20: conductive adhesive
- 21: Al wire
- Q<sub>1</sub>: n-channel type MISFET
- Q<sub>2</sub>: P-channel type MISFET
- R: resistor

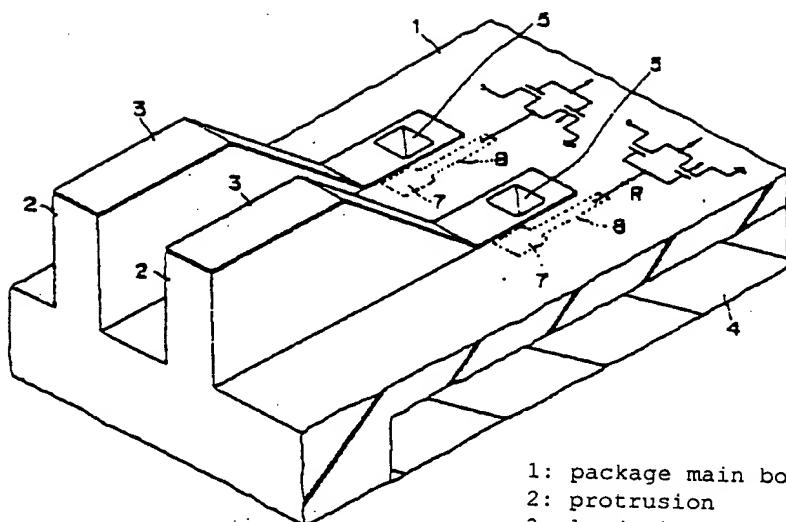


Figure 1

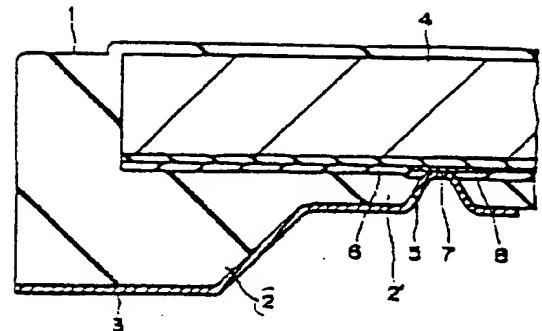


Figure 2

- 1: package main body
- 2: protrusion
- 3: lead wire
- 4: semiconductor chip
- 5: contact hole
- 7: pad

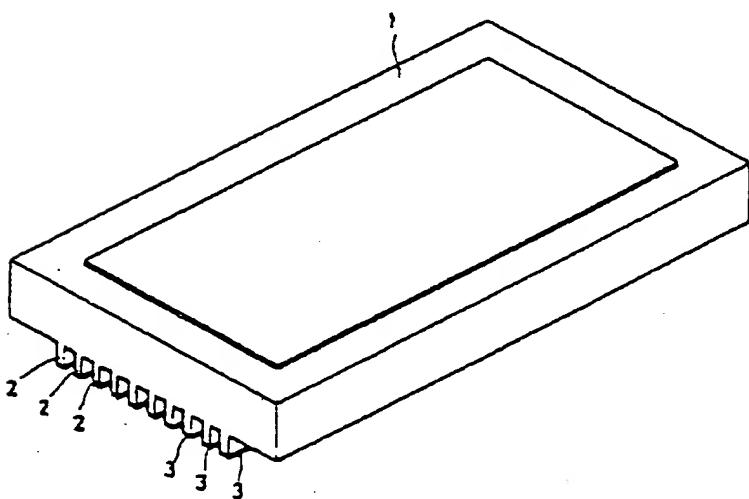


Figure 3

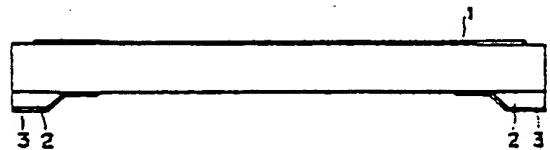


Figure 4

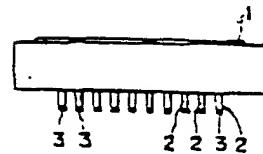


Figure 5

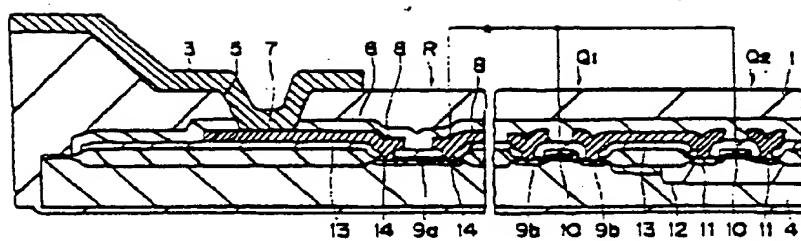


Figure 6

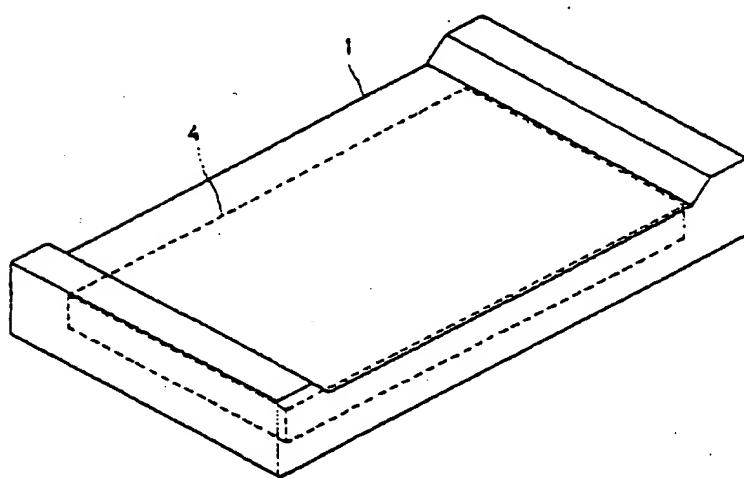


Figure 7

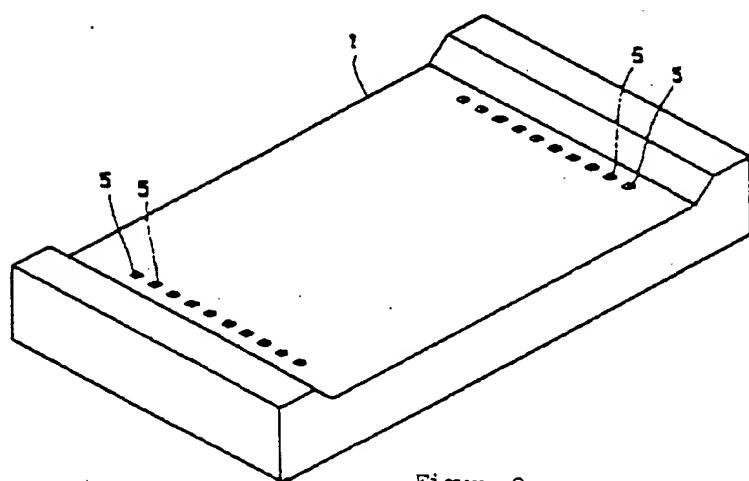


Figure 8

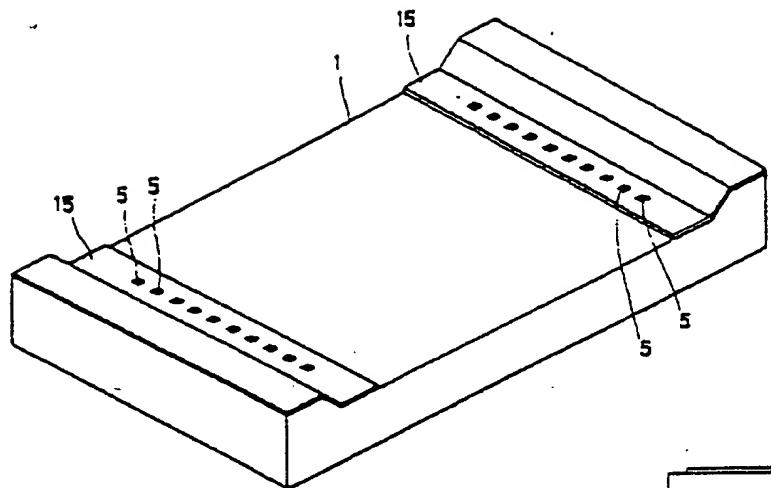


Figure 9

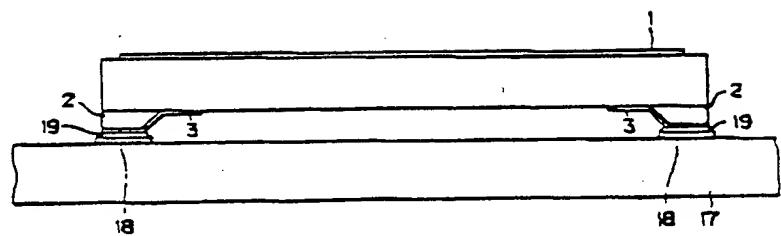


Figure 11

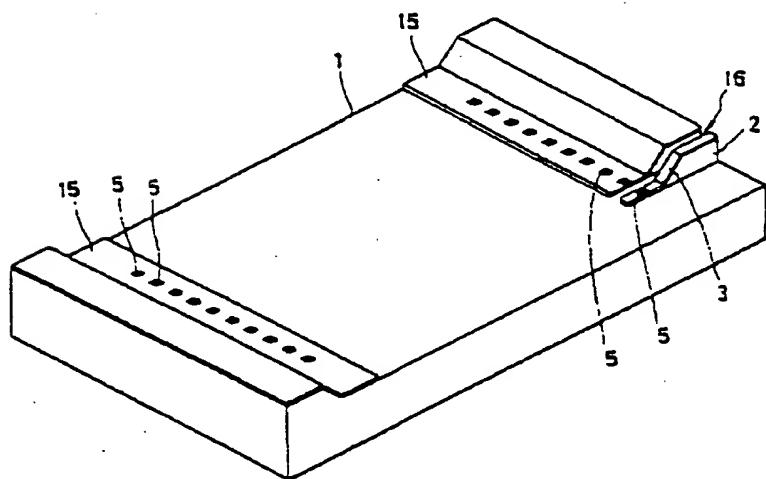


Figure 10

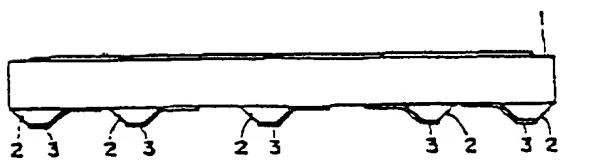


Figure 14

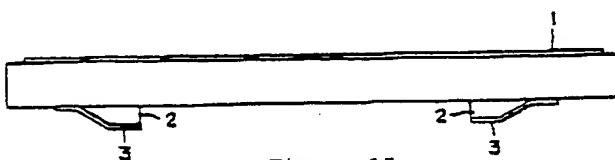


Figure 15

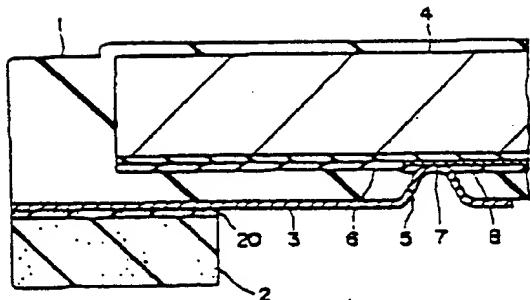


Figure 12

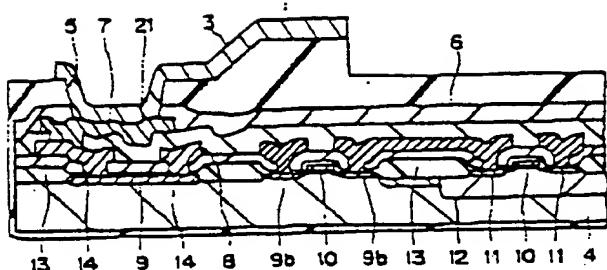


Figure 16

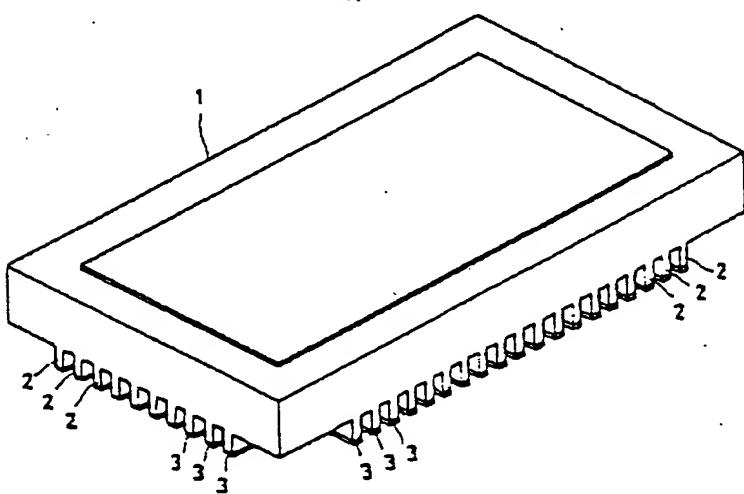


Figure 13

(51)Int.Cl.<sup>5</sup>  
H 01 L 23/12識別記号  
7352-4M府内整理番号  
H 01 L 23/ 12

F I

技術表示箇所  
L

## 審査請求 未請求 請求項の数9(全10頁)

(21)出願番号 特願平3-42158

(22)出願日 平成3年(1991)3月8日

(71)出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地

(72)発明者 有田 順一  
 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体設計開発センタ内

(72)発明者 安生 一郎  
 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体設計開発センタ内

(72)発明者 村上 元  
 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体設計開発センタ内

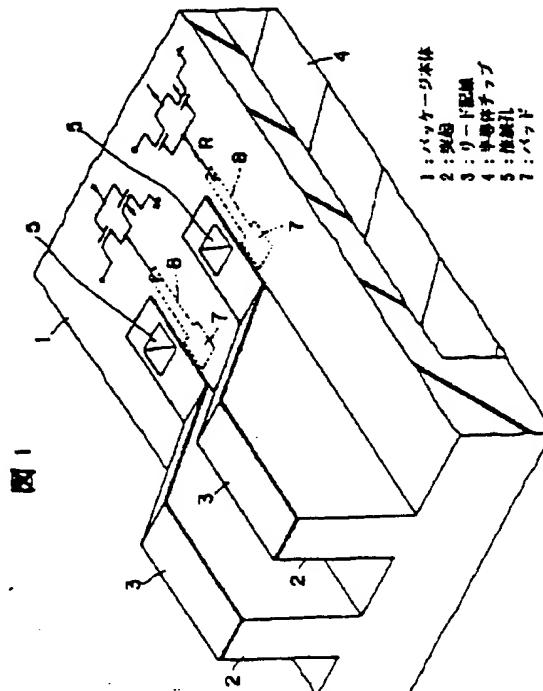
(74)代理人 弁理士 简井 大和

(54)【発明の名称】 半導体集積回路装置、その製造方法および実装構造

## (57)【要約】

【目的】 基板実装時の接続信頼性が高く、多ピン、高密度実装に好適なLSIパッケージを提供する。

【構成】 本発明の半導体集積回路装置は、表面に突起2を有するゴム状弾性体からなるパッケージ本体1にチップ4を封止し、前記パッケージ本体1の表面に形成したリード配線3の一端を前記パッケージ本体1に開孔した接続孔5を通じて前記チップ4のパッド7に接続するとともに、前記リード配線3の他端を前記突起2の頂部に延在したパッケージ構造を有している。



### 【特許請求の範囲】

【請求項 1】 三面に複数の回路素子が形成された半導体チップと、前記半導体チップの主面上に設けられたゴム状弾性体からなる突起部と、前記半導体チップの主面上に形成され、その一端が前記半導体チップのパッドに接続されると共に、その他端が前記突起の頂部に延在したリード配線とを有することを特徴とする半導体集積回路装置。

【請求項 2】 前記ゴム状弹性体の弹性率は、100M Paまたはそれ以下であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記突起を回路素子上に設けたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記パッドを回路素子上に設けたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 ゴム状弾性体からなるパッケージ本体に半導体チップを封止し、前記パッケージ本体の表面に形成したリード配線の一端を前記パッケージ本体に開孔した接続孔を通じて前記半導体チップのパッドに接続するとともに、前記リード配線の他端を前記パッケージ本体の表面に設けたゴム状弾性体からなる導電性の突起に接続したことを特徴とする半導体集積回路装置。

【請求項6】 表面に突起を設けたゴム状弾性体からなるパッケージ本体に半導体チップを封止する工程と、前記パッケージ本体の一部を開孔して前記半導体チップのパッドに達する接続孔を形成する工程と、前記パッケージ本体の表面にリード配線用の導電膜を堆積する工程と、前記パッケージ本体およびその表面の導電膜に所定数の切り込みを形成することにより、一端が前記接続孔を通じて前記半導体チップのパッドに接続され、他端が前記突起の頂部に延在するリード配線を形成する工程とを有することを特徴とする請求項1、2、3または4記載の半導体集積回路装置の製造方法。

【請求項 7】 前記突起の側壁に傾斜部を設けることを特徴とする請求項 6 記載の半導体集積回路装置の製造方法。

【請求項 8】 前記突起の頂部のリード配線と基板の電極とを半田により接続したことを特徴とする請求項 1、2、3 または 4 記載の半導体集積回路装置の実装構造。

【請求項9】 前記ゴム状弹性体からなる導電性の突起と基板の電極とを導電性接着剤により接続したことを特徴とする請求項5記載の半導体集積回路装置の実装構造。

#### 【発明の詳細な説明】

[0 0 0 1]

【産業上の利用分野】本発明は、半導体集積回路装置に  
関し、特に、半導体チップを封止するパッケージおよび  
その実装に適用して有効な技術に関するものである。

[0 0 0 2]

【従来の技術】近年、RAM、ROMなどのメモリLS

Iは、メモリ容量の大規模化に伴って半導体チップの面積が著しく増大しているため、チップをSOP(Small Outline Package)、SOJ(Small Outline J-lead package)などの表面実装形パッケージに封止し、これらのパッケージの薄形化、小形化を実現することで実装密度の向上を図っている。

【0003】一方、ゲートアレイやマイクロコンピュータなどの論理LSIは、多機能化、高速化の進行に伴って外部端子（入出力端子、電源端子）の数が著しく増加（多ピン化）しているため、QFP(Quad Flat Package)などのパッケージの薄形化を実現することで実装密度の向上を図っている。

【0004】論理LSIの実装方式としては、上記QFPの他、チップの最上層配線に接合したCCCBパンプを介してチップを基板に実装するフリップチップ方式が知られている。このフリップチップ方式については、例えばIBM社発行、「IBMジャーナル・オブ・リサーチ・アンド・ディベロップメント、13巻、No. 3(IBM Journal of Research and Development, Vol. 13, No. 3)」P239~P250に記載がある。

【0005】また、多ピンL S I の実装方式としては、TAB (Tape Automated Bonding) 方式が知られている。このTAB方式は、チップのボンディングパッド上にパリアメタルを介して形成されたAuのバンプと、ポリイミド樹脂などの絶縁フィルムに形成したCuリードの一端とを電気的に接続すると共に、上記Cuリードの他端を実装基板に電気的に接続する実装方式である。なお、TAB方式については、例えば特開昭62-205648号公報に記載がある。

[0006]

【発明が解決しようとする課題】しかしながら、前記SOP、SOJ、QFPなどの表面実装形パッケージは、パッケージ本体の外部に突出したアウターリードを通じてチップと基板との電気的接続を取るため、アウターリードの占有面積の分だけ実装密度が低下するという問題がある。また、パッケージからのリード抜けを防止するためにパッケージ内のインナーリードの長さをある程度確保しなければならず、これも実装密度を低下させる一つになっている。

④ 【0007】さらに、表面実装形パッケージは、ワイヤを介してチップ、リード間を接続するワイヤボンディング方式を採用しているため、パッケージの薄形化、小形化、多ピン化には限界がある。また、パッケージ本体を薄形化すると、これに伴ってリフロー半田付け時のクラックなど、実装時の熱に起因する信頼性の低下が深刻な問題となる。

【0008】一方、前記フリップチップ方式は、表面実装形パッケージに比べてチップの多ピン化、高密度実装が容易に実現できる反面、チップと基板との熱膨張係数差に起因する応力がCCBバンプに加わり易い構造であ

るため、CCBバンプが破断したり、チップが割れたりするなど、接続信頼性に問題がある。

【0009】また、前記T A B方式についても、前記SOP、SOJ、QFPなどの表面実装形パッケージと同様、アウターリードの占有面積の分だけ実装密度が低下するという問題がある。

【0010】本発明は、上記した問題点に着目してなされたものであり、その目的は、チップの実装密度を向上させることのできる技術を提供することにある。

【0011】本発明の他の目的は、チップを多ピン化することのできる技術を提供することにある。

【0012】本発明の他の目的は、チップと基板との間の接続信頼性を向上させることのできる技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本発明による半導体集積回路装置は、複数の回路素子を形成したチップの主面にゴム状弾性体からなる複数の突起を設け、チップの主面に形成したリード配線の一端をチップの主面のパッドに接続すると共に、その他端を上記突起の頂部に延在した構造を有する。

【0015】また、上記半導体集積回路装置において、パッドおよび突起の少なくとも一方を回路素子上に配置した構造を有する。

【0016】

【作用】上記した手段によれば、パッケージ本体の表面に形成したリード配線を通じてチップと基板との電気的接続を取ることにより、パッケージ本体の外部に突出したりードを通じてチップと基板との電気的接続を取る従来の表面実装形パッケージよりも実装密度を向上させることができる。

【0017】上記した手段によれば、突起をゴム状弾性体で構成したことにより、チップと基板との熱膨張係数差に起因する応力がこの突起で吸収、緩和されるため、チップと基板との間の接続信頼性が向上し、かつ半田付け時の熱に起因するパッケージ本体やチップのクラックが防止される。

【0018】上記した手段によれば、パッケージ本体に開孔した接続孔を通じてリード配線とチップのパッドとを直結したことにより、ワイヤを介してチップ、リード間を接続するワイヤボンディング方式に比べてパッケージの薄形化、小形化が容易になる。

【0019】上記した手段によれば、回路素子上にパッドを配置し、このパッドにリード配線の一端を接続することにより、チップ内部の配線長を短くすることができるので、高速LSIに好適なパッケージを提供することができる。また、パッドの形成領域の分だけチップを小

形化することができる。

【0020】上記した手段によれば、回路素子上に突起を配置することにより、チップとほぼ同一寸法の半導体集積回路装置が得られるので、チップの実装密度を向上させることができる。

【0021】以下、本発明を実施例により説明する。なお、実施例を説明するための全図において、同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

10 【0022】

【実施例】図3は、本実施例による半導体集積回路装置の斜視図、図4は、その長辺方向の正面図、図5は、同じく短辺方向の正面図である。

【0023】この半導体集積回路装置のパッケージ本体1は、ゴム状弾性体からなり、その下面の両端には、短辺方向に沿って所定数の突起2が一定の間隔で配置されている。これらの突起2は、パッケージ本体1と同一材質のゴム状弾性体からなり、パッケージ本体1と一体成形されている。

20 20 【0024】上記それぞれの突起2の頂部には、この半導体集積回路装置の外部端子（入出力端子および電源端子）を構成するリード配線3の一端が延在している。上記リード配線3の他端は、突起2の側壁を経てパッケージ本体1の下面の中心方向に延在している。リード配線3は、例えば下層がC<sub>u</sub>の蒸着膜、中間層がC<sub>u</sub>のメッキ膜、表面がA<sub>u</sub>のメッキ膜でそれぞれ構成された複合金属膜からなる。

25 25 【0025】上記パッケージ本体1の内部には、図3～図5では図示しない半導体チップ4が封止されている。30 上記チップ4は、例えばDRAM、SRAMなどのメモリLSIを形成したシリコン単結晶からなり、その主面（回路素子成面）がパッケージ本体1の突起2形成面向いた状態で封止されている。

30 【0026】図1は、上記パッケージ本体1の下面の端部を拡大して示す破断斜視図、図2は、同じく断面図である。

40 40 【0027】パッケージ本体1に設けられた突起2は、例えば頂部が長方形で、パッケージ本体1の中心側の側壁に傾斜が設けられた角錐台形をしており、その頂部の短辺の長さは、例えば200μm程度、隣り合う突起2、2同士の隙間は、例えば30μm程度である。すなわち、突起2は、500μm程度のピッチでパッケージ本体1の短辺方向に沿って配列されている。

45 45 【0028】上記それぞれの突起2の近傍のパッケージ本体1には、接続孔5が開孔されており、接続孔5の内部には、前記リード配線3が埋込まれている。また、上記接続孔5の底部には、チップ4の表面保護膜（バッショーション層）6を開孔して形成したパッド7が露出しており、これにより、パッド7とリード配線3とが電気的に接続されている。上記パッド7は、チップ4の回路

素子に接続されたA1配線8からなる。また、上記チップ4の正面は、突起2と同一材料のゴム状弾性体で覆われており、このゴム状弾性体でチップ4の正面が保護されるようになっている。

【0029】このように、本実施例の半導体集積回路装置は、外部端子を構成するリード配線3の一端をゴム状弾性体からなるパッケージ本体1の下面に設けた突起2の頂部に延在し、リード配線3の他端をパッケージ本体1に開孔した接続孔5を通じてチップ4のパッド7に接続したパッケージ構造を有している。

【0030】図6は、上記パッド7の近傍の断面図である。例えばp形のシリコン単結晶からなるチップ4の正面には、抵抗R、nチャネル形MISFETQ<sub>1</sub>、pチャネル形MISFETQ<sub>2</sub>などの回路素子が形成されている。上記抵抗R、nチャネル形MISFETQ<sub>1</sub>およびpチャネル形MISFETQ<sub>2</sub>は、例えばメモリLSIの入力回路を構成している。

【0031】上記抵抗Rは、例えばn形半導体領域9aからなる。また、nチャネル形MISFETQ<sub>1</sub>は、ソース、ドレインを構成する一対のn形半導体領域9bおよび多結晶シリコンなどにより構成されたゲート電極10からなり、pチャネル形MISFETQ<sub>2</sub>は、ソース、ドレインを構成する一対のp形半導体領域11およびゲート電極10からなる。抵抗Rおよびnチャネル形MISFETQ<sub>1</sub>の一対のn形半導体領域9bは、p形シリコンの正面にそれぞれ形成され、pチャネル形MISFETQ<sub>2</sub>の一対のp形半導体領域11は、n形ウエル12の正面に形成されている。

【0032】上記抵抗Rには、絶縁膜13に開孔された接続孔14を通じて一対のA1配線8、8が接続されている。上記一対のA1配線8、8の一方は、パッド7および接続孔5を通じて入力信号用のリード配線3に接続されており、もう一方のA1配線8は、nチャネル形MISFETQ<sub>1</sub>およびpチャネル形MISFETQ<sub>2</sub>のそれぞれのゲート電極10に接続されている。すなわち、リード配線3は、接続孔5、パッド7、A1配線8および抵抗Rを通じてメモリLSIの入力回路に接続されている。

【0033】次に、本実施例の半導体集積回路装置の製造方法の一例を図7～図10を用いて説明する。

【0034】まず、図7に示すように、チップ4をゴム状弾性体のパッケージ本体1で封止する。チップ4の封止は、例えば射出成形法により行う。ゴム状弾性体としては、例えばシリコーンゴムなど、弾性率が100MPaまたはそれ以下の軟質な組成のものを使用する。パッケージ本体1は、その両端が中央部よりも肉厚となっており、この肉厚部の厚さは、例えば1mm程度である。また、パッケージ本体1の肉厚部と中央部との段差部には、傾斜を設けておく。

【0035】次に、図8に示すように、パッケージ本体

1の一部を開孔してチップ4のパッド7に達する接続孔5を形成する。続いて、図9に示すように、パッケージ本体1の表面にリード配線用の金属膜15を堆積し、上記金属膜15を接続孔5の内部に埋込んでチップ4のパッド7と金属膜15とを電気的に接続する。金属膜15は、少なくともパッケージ本体1の両端から接続孔5までを覆うように堆積する。パッケージ本体1の肉厚部と中央部との段差部には、傾斜が設けてあるので、この段差部で金属膜15の被覆性が低下することはない。

【0036】上記金属膜15は、例えば膜厚1μm程度のCuの蒸着膜、膜厚10μm程度のCuのメッキ膜、膜厚1～2μm程度のAuのメッキ膜を順次堆積した複合金属膜からなる。Cuの蒸着膜は、Cuのメッキ膜を電気メッキ法により堆積する際の電極となる。Cuのメッキ膜は、パッケージ本体1を基板に半田付けする際の半田の濡れ性を良くするためのものであり、Auのメッキ膜は、Cuのメッキ膜の腐食を防止するためのものである。なお、上記Auのメッキ膜に代えて半田メッキ膜を使用してもよい。

【0037】次に、例えばダイシングなどの機械加工により、パッケージ本体1の端部から中心方向に図10に示すような切り込み16を入れて前記突起2およびリード配線3を形成することにより、本実施例の半導体集積回路装置が完成する。

【0038】図11は、本実施例の半導体集積回路装置を基板17に実装した状態を示している。基板17は、例えばその正面にCuからなる電極18を設けたエポキシ系樹脂、ポリイミド系樹脂などの合成樹脂からなる。この基板17に本実施例の半導体集積回路装置を実装するには、SOP、SOJなどの表面実装形パッケージと同様、半田リフロー法を利用する。すなわち、基板17の電極18上にクリーム状の半田19を印刷した後、パッケージ本体1の突起2の頂部を電極18上に位置合わせし、赤外線などを用いて半田19をその融点以上に加熱する。

【0039】なお、上記半導体集積回路装置は、パッケージ本体1の短辺方向に沿って突起2を配列したが、パッケージ本体1の長辺方向に沿って突起2を配列することもできる。突起2をパッケージ本体1の短辺方向に沿って配列するか、長辺方向に沿って配列するかは、SOP、SOJなどの表面実装形パッケージの場合と同様、パッケージ本体1に封止されるチップ4のパッド7の配列によって決める。

【0040】このように、本実施例によれば、下記のような効果を得ることができる。

【0041】(1)、パッケージ本体1の表面に形成したりード配線3を通じてチップ4と基板17との電気的接続を取るようにしたので、パッケージ本体の外部に突出したりードを通じてチップと基板との電気的接続を取る従来の表面実装形パッケージよりも実装密度を向上させる

ことができる。

【0042】(2)、パッケージ本体1および突起2をゴム状弾性体で構成したことにより、チップ4と基板17との熱膨張係数差に起因する応力をパッケージ本体1および突起2が吸収、緩和するので、チップ4と基板17との間の接続信頼性が向上する。

【0043】また、半田付け時の熱に起因するパッケージ本体1やチップ4のクラックを防止することもできる。

【0044】(3)、パッケージ本体1に開孔した接続孔5を通じてリード配線3とチップ4のパッド7とを直結したことにより、ワイヤを介してチップ、リード間を接続する従来のワイヤボンディング方式に比べてパッケージを薄形化、小形化することができる。

【0045】図12は、本発明の半導体集積回路装置の他の実施例を示すパッケージ本体1の端部の断面図である。

【0046】前記実施例は、パッケージ本体1と突起2とを同一材質のゴム状弾性体で一体成形した構成になっているが、この実施例は、ゴム状弾性体からなるパッケージ本体1にゴム状弾性体からなる導電性の突起2を接続した構成になっている。導電性の突起2は、例えば導電性接着剤20を介してパッケージ本体1に接着し、これにより、パッケージ本体1の表面に形成したリード配線3と突起2とを電気的に接続する。なお、上記突起2には、パッケージ本体1の中心側の側壁に傾斜を設ける必要はない。

【0047】導電性の突起2を設けた上記半導体集積回路装置を基板に実装するには、例えば導電性接着剤を用いる。すなわち、基板の電極または突起2の頂部に導電性接着剤を印刷した後、突起2の頂部を電極上に位置合わせし、加熱により導電性接着剤を硬化させる。

【0048】図13は、本発明の半導体集積回路装置のさらに他の実施例を示すパッケージ本体1の斜視図である。

【0049】前記実施例は、メモリLSIを形成したチップ4をパッケージ本体1に封止したが、この実施例は、ゲートアレイなどの論理LSIを形成したチップをパッケージ本体1に封止している。この場合は、パッケージ本体1の四辺に沿って突起2を配列することにより、QFP同様、多ピンのパッケージを提供することができる。

【0050】また、本発明によれば、図14に示すように、パッケージ本体1の端部のみならず、その中心部にも突起2および配線3を形成することができるので、QFPよりもさらに多ピンのパッケージを提供することができる。この場合は、チップ4のパッド7を回路素子の直上に配置し、このパッド7の上に接続孔5を設け、さらにこの接続孔5の間に突起を設ける。

【0051】また、この場合は、パッド7をチップ4の

周辺部に配置する場合に比べてチップ4の内部の配線長が短くなるので、高速LSIに好適なパッケージを提供することができる。本発明は、パッケージ本体1に開孔した接続孔5を通じてリード配線3をチップ4のパッド7に接続しているので、パッド7を回路素子の直上に配置した場合でも、ワイヤボンディング方式のように衝撃荷重や超音波振動によってパッド直下の回路素子が劣化する虞れはない。

【0052】図15は、本発明の半導体集積回路装置の10さらに他の実施例を示すパッケージ本体1の長辺方向の正面図であり、図16は、このパッケージ本体1の要部断面図である。

【0053】本実施例では、A1配線8の上層に第二層目のA1配線21を形成し、配線を多層化することでパッド7を回路素子上に配置したものである。また、これに伴い、突起2も回路素子上に配置してある。

【0054】本実施例によれば、パッド7を回路素子上に配置したことにより、パッド領域を削減することができるので、チップ4を小形化することができる。また、20突起2を回路素子上に配置したことにより、パッケージ本体1の外径寸法をチップ4の外径寸法とほぼ同程度まで縮小することができるので、チップ4の実装密度をより向上させることができること。

【0055】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0056】例えば突起の形状は、前記実施例の形状に30限定されるものではない。また、パッケージ本体および突起を構成するゴム状弾性体は、シリコーンゴムなどに限定されるものではない。

【0057】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0058】(1)、パッケージ本体の表面に形成したりード配線を通じてチップと基板との電気的接続を取るようとしたので、パッケージ本体の外部に突出したりードを通じてチップと基板との電気的接続を取る従来の表面40実装形パッケージよりも実装密度を向上させることができる。

【0059】(2)、パッケージ本体および突起をゴム状弾性体で構成したことにより、チップと基板との熱膨張係数差に起因する応力がパッケージ本体および突起により吸収、緩和され、チップと基板との間の接続信頼性が向上する。また、半田付け時の熱に起因するパッケージ本体やチップのクラックを防止することができる。

【0060】(3)、パッケージ本体に開孔した接続孔を通じてリード配線とチップのパッドとを直結したことにより、ワイヤを介してチップ、リード間を接続するワイヤ

9

ボンディング方式に比べてパッケージの薄形化、小形化が容易になる。

【0061】(4)、回路素子の直上にパッドを配置し、このパッドにリード配線の一端を接続したことにより、チップ内部の配線長を短くすることができるので、高速化S/Iに好適なパッケージを提供することができる。

【0062】(5)、回路素子の直上に配置したパッドの上に接続孔を設け、この接続孔の近傍に突起を設けることにより、パッケージの多ピン化が容易になる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部を拡大して示す破断斜視図である。

【図2】この半導体集積回路装置の要部を拡大して示す断面図である。

【図3】この半導体集積回路装置の斜視図である。

【図4】この半導体集積回路装置の長辺方向の正面図である。

【図5】この半導体集積回路装置の短辺方向の正面図である。

【図6】この半導体集積回路装置の部分断面図である。

【図7】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図8】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図9】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図10】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図11】この半導体集積回路装置の実装構造を示す正面図である。

【図12】本発明の他の実施例である半導体集積回路装置の要部を拡大して示す断面図である。

【図13】本発明のさらに他の実施例である半導体集積

回路装置の斜視図である。

【図14】本発明のさらに他の実施例である半導体集積回路装置の長辺方向の正面図である。

【図15】本発明のさらに他の実施例である半導体集積回路装置の長辺方向の正面図である。

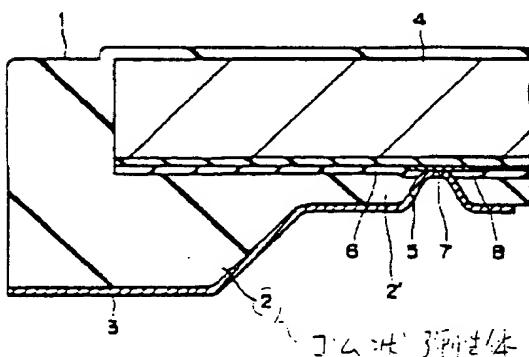
【図16】この半導体集積回路装置の要部を拡大して示す断面図である。

#### 【符号の説明】

- |     |                  |
|-----|------------------|
| 1   | パッケージ本体          |
| 10  | 2 突起             |
| 3   | リード配線            |
| 4   | 半導体チップ           |
| 5   | 接続孔              |
| 6   | 表面保護膜（バッシベーション膜） |
| 7   | パッド              |
| 8   | A I配線            |
| 9 a | n形半導体領域          |
| 9 b | n形半導体領域          |
| 10  | ゲート電極            |
| 20  | 11 p形半導体領域       |
| 12  | n形ウエル            |
| 13  | 絶縁膜              |
| 14  | 接続孔              |
| 15  | 金属膜              |
| 16  | 切り込み             |
| 17  | 基板               |
| 18  | 電極               |
| 19  | 半田               |
| 20  | 導電性接着剤           |
| 30  | 21 A I配線         |
| Q1  | nチャネル形MISFET     |
| Q2  | pチャネル形MISFET     |
| R   | 抵抗               |

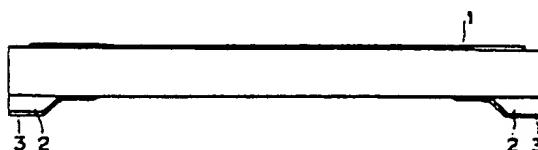
【図2】

図2

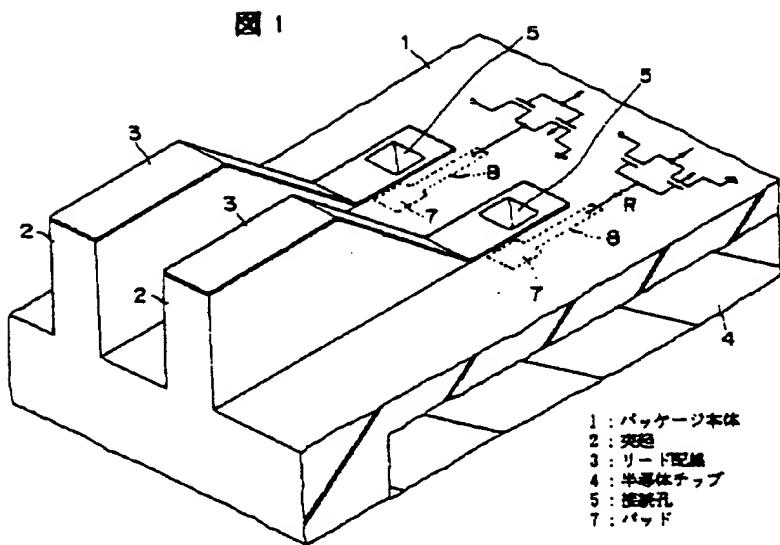


【図4】

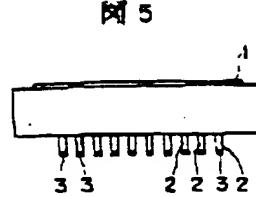
図4



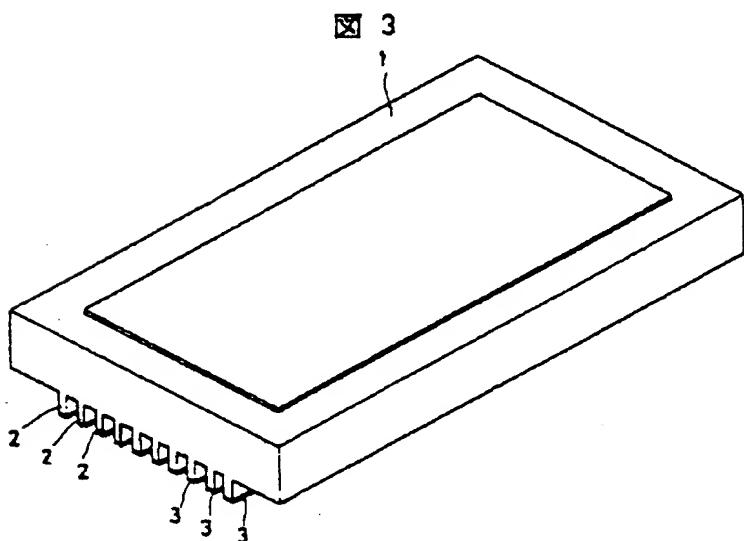
【図1】



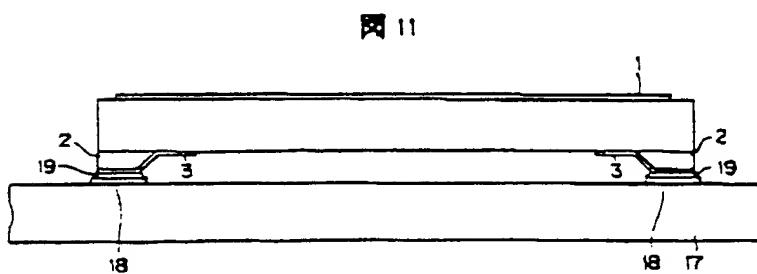
【図5】



【図3】

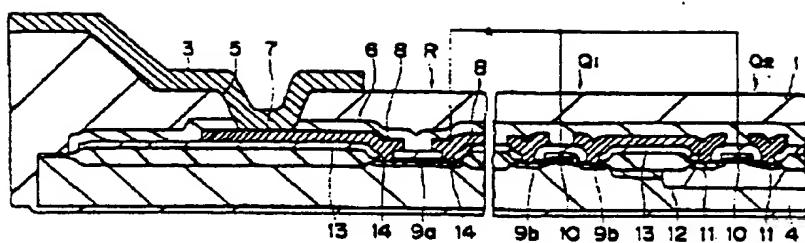


【図11】



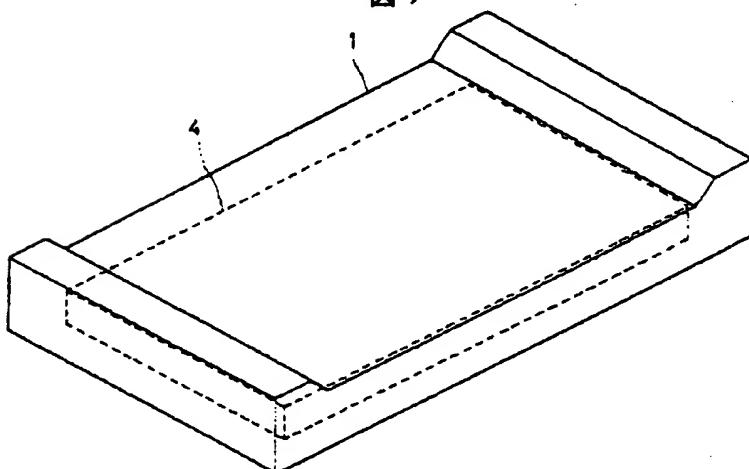
【図6】

図6



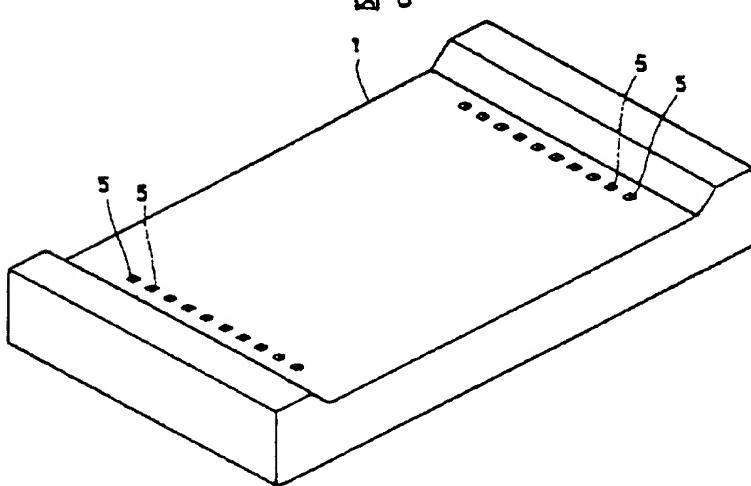
【図7】

図7



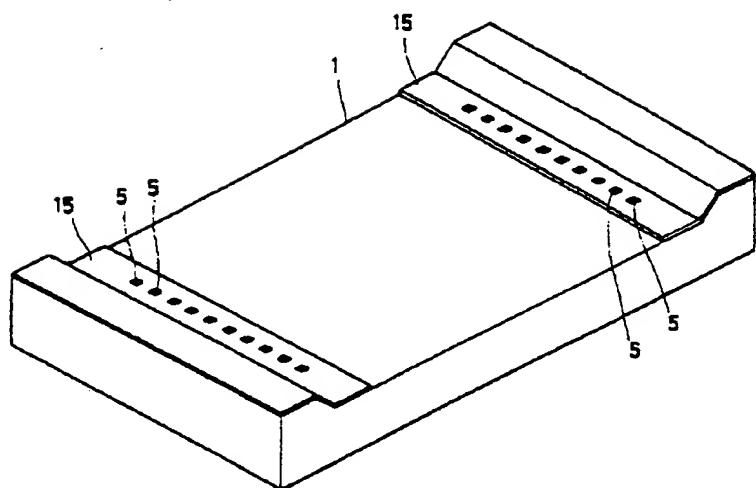
【図8】

図8



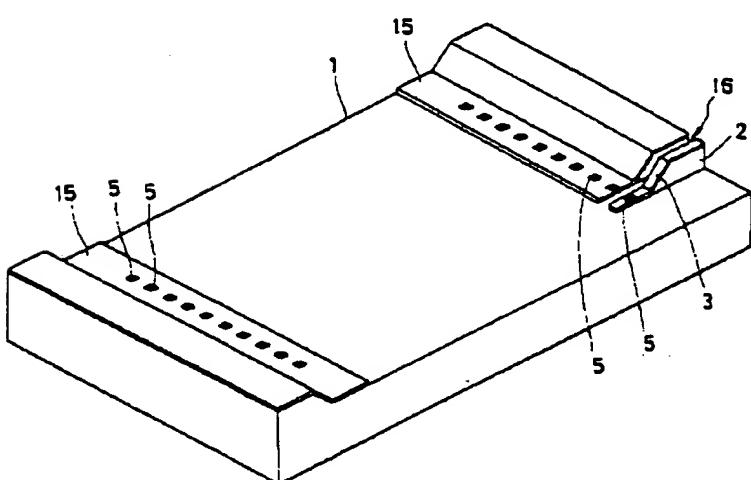
【図9】

図9



【図10】

図10

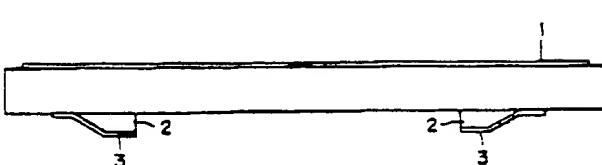
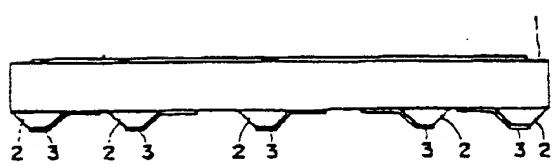


【図14】

【図15】

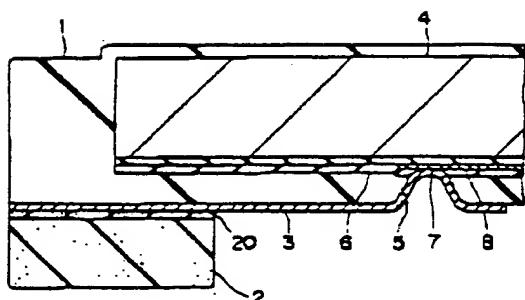
図14

図15



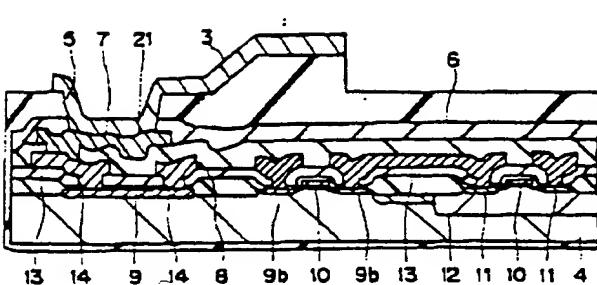
【図12】

図12



【図16】

図16



【図13】

図13

